

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021808
(43)Date of publication of application : 29.01.1993

(51)Int.CI. H01L 29/788
H01L 29/792
H01L 27/04
H01L 27/088
H01L 27/115

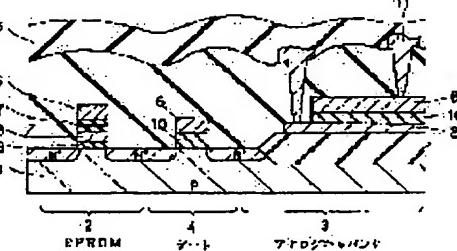
(21)Application number : 03-168088 (71)Applicant : HITACHI LTD
(22)Date of filing : 09.07.1991 (72)Inventor : SHIBA KAZUYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To optionally set the thickness of each dielectric film, in a semiconductor integrated circuit device where an EPROM or an EEPROM and an analog capacitor are mounted on the same chip.

CONSTITUTION: This is a semiconductor integrated circuit device where an EPROM and an analog capacitor are mounted on the same chip, and on a p-type substrate 1 are made an EPROM 2, an analog capacitor 3, and a gate 4, and the surface is covered with a protective film 5. And the thickness of time analog capacitor 3 is set to be thicker than the thickness of the oxide film of the dielectric film of the EPROM 2 depending upon the condition of a thermal oxidation process, and time dielectric film of the analog capacitor 3 is made thicker than that of the dielectric film of the gate 4 by the setting of the rate of the speed increased oxidation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-21808

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
H 01 L 29/788
29/792
27/04

識別記号 疾内整理番号
C 8427-4M
8225-4M
7342-4M

F I
H 01 L 29/ 78 3 7 1
27/ 08 1 0 2 H

技術表示箇所

審査請求 未請求 請求項の数3(全8頁) 最終頁に続く

(21)出願番号

特願平3-168088

(22)出願日

平成3年(1991)7月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 志波 和佳

東京都小平市上木本町5丁目20番1号 株式会社日立製作所武藏工場内

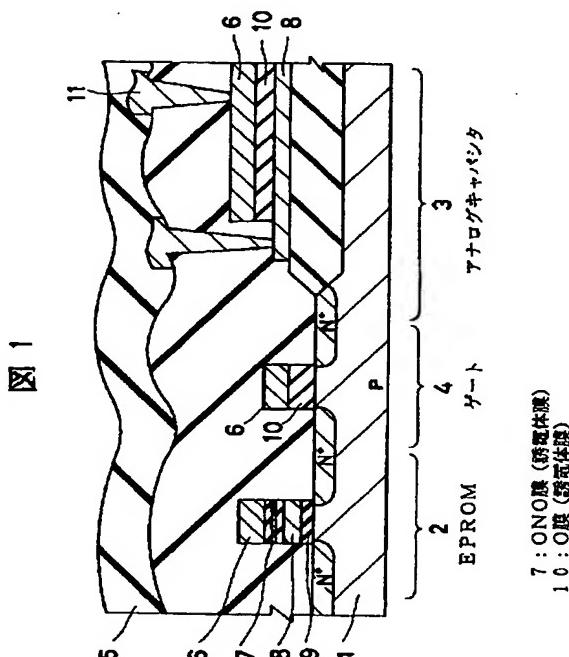
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 EEPROMまたはEEPROMとアナログキャバシタが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の膜厚の任意設定を可能とする。

【構成】 EEPROMとアナログキャバシタとが同一チップ上に搭載された半導体集積回路装置であって、P型基板1上に、EEPROM2、アナログキャバシタ3およびゲート4が形成され、表面が保護膜5により覆われている。そして、熱酸化工程の条件によってアナログキャバシタ3の酸化膜厚がEEPROM2の誘電体膜の酸化膜厚より厚く設定され、かつ増速酸化の割合の設定によってアナログキャバシタ3の誘電体膜がゲート4の誘電体膜に比べて厚く形成される。



1

【特許請求の範囲】

【請求項1】 E PROMまたはEEPROMと、その多結晶シリコン間電極で構成されるアナログキャバシタとを同一チップ上に搭載した半導体集積回路装置の製造方法であって、前記E PROMまたはEEPROMの層間誘電体膜と、前記アナログキャバシタの誘電体膜との間に膜厚差を設けることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 E PROMまたはEEPROM、アナログキャバシタおよびその上部多結晶シリコンがゲート電極からなり、多結晶シリコン間誘電体膜と同時にゲート誘電体膜を形成する半導体集積回路装置の製造方法であって、前記多結晶シリコン間誘電体膜およびゲート誘電体膜の各々の膜厚を任意に設定可能とすることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 前記誘電体膜の膜厚差を設ける手段として、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、該酸化レートに対応した膜厚差で形成することを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特にE PROMまたはEEPROMとアナログキャバシタを同一チップ上に搭載する半導体集積回路装置において、各誘電体膜の任意のスケーリングが可能とされる半導体集積回路装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】 従来、E PROMまたはEEPROMとアナログキャバシタとを同一チップ上に搭載した半導体集積回路装置において、アナログキャバシタは、E PROMまたはEEPROMの1層目と2層目ゲート間で構成される多結晶シリコン間容量であり、またその誘電体膜はE PROMまたはEEPROMの多結晶シリコン間誘電体膜と同時に形成されている。

【0003】 たとえば、「IEEE 1988 CUSTOM INTEGRATED CIRCUITS CONFERENCE」では、EEPROMとアナログキャバシタを同一チップ上に搭載する場合、アナログキャバシタは多結晶シリコン間容量で構成し、その誘電体膜に熱酸化膜を使用している。また、周辺ゲート電極は1層目または2層目多結晶シリコンからなり、特に2層目多結晶シリコンからなる場合、そのゲート誘電体膜は多結晶シリコン間誘電体膜と同時に形成している。

【0004】

【発明が解決しようとする課題】 ところが、前記のような従来技術において、E PROMまたはEEPROMをスケーリングするには、多結晶シリコン間誘電体膜厚を薄くする必要があり、E PROMまたはEEPROMと

2

アナログキャバシタを同一チップ上に搭載する場合、前記手法によりアナログキャバシタを構成すると、E PROMまたはEEPROMのスケーリングに際し、アナログキャバシタの誘電体膜厚は必然的に薄くなり、以下に示す問題点が生じる。

【0005】 すなわち、多結晶シリコン間容量は、上部多結晶シリコン表面の空間電荷領域に形成される容量C_{s1}、誘電体膜の容量C_{s2}、下部多結晶シリコン表面の空間電荷領域に形成される容量C_{s3}の直列接続で構成される。たとえば、下部多結晶シリコンを接地し、上部多結晶シリコンに正の電圧を印加すると、上部多結晶シリコン表面は空乏化し、容量C_{s1}は減少する。一方、下部多結晶シリコン表面は蓄積化し、容量C_{s2}は増加する。

【0006】 また、上部多結晶シリコンに負の電圧を印加すると、上部多結晶シリコン表面は蓄積化し、容量C_{s1}は増加する。一方、下部多結晶シリコン表面は空乏化し、容量C_{s2}は減少する。また、C_{s3}は印加電圧によらず一定である。

【0007】 以上のように、電圧印加により一方の多結晶シリコン表面は空乏化して容量は減少するが、他方の多結晶シリコン表面は蓄積化して容量は増加するので、上部多結晶シリコンおよび下部多結晶シリコンのN型またはP型不純物のドープ量を増加させ、かつ濃度同じにすることにより、空乏化または蓄積化し難くなり、かつ極性依存性が小さくなるので容量の印加電圧依存性は小さくなる。

【0008】 ここで、単位容量当りの印加電圧に対する容量の変化量、すなわちVccを容量の電圧係数と呼び、

$$V_{cc} = 1/C \cdot dC/dVg$$

で定義される。

【0009】 一般に、高精度の容量を含むアナログ回路を構成するためには、この電圧係数の絶対値が小さいことが望ましい。たとえば、アナログキャバシタの誘電体膜厚を薄くすると、印加する電圧は同じであるから多結晶シリコン表面の電界は大きくなり、空乏化または蓄積化し易くなつて容量の電圧係数は大きくなる。

【0010】 この際、N型またはP型不純物のドープ量を増加させ、電圧係数を小さくすることは可能であるが、高濃度に不純物をドープした多結晶シリコン上に成長した熱酸化膜の膜質は劣化するため、この部分に高電界が印加されるE PROMまたはEEPROMに対しては適用できない。従って、アナログキャバシタの誘電体膜厚を薄くすると、容量の電圧係数が大きくなり、高精度アナログ回路の実現が困難になる。

【0011】 そこで、本発明の目的は、E PROMまたはEEPROMとアナログキャバシタとが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の膜厚を任意に設定することができる半導体集積回路装置の製造方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】すなわち、本発明の半導体集積回路装置の製造方法は、EPROMまたはEEPROMと、その多結晶シリコン間電極で構成されるアナログキャバシタとを同一チップ上に搭載した半導体集積回路装置であって、EPROMまたはEEPROMの層間誘電体膜と、アナログキャバシタの誘電体膜との間に膜厚差を設けるものである。

【0015】また、本発明の他の半導体集積回路装置の製造方法は、EPROMまたはEEPROM、アナログキャバシタおよびその上部多結晶シリコンがゲート電極からなり、多結晶シリコン間誘電体膜と同時にゲート誘電体膜を形成する半導体集積回路装置であって、多結晶シリコン間誘電体膜およびゲート誘電体膜の各々の膜厚を任意に設定可能とするものである。

【0016】この場合に、前記誘電体膜の膜厚差を設ける手段として、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、この酸化レートに対応した膜厚差で形成するようにしたものである。

【0017】

【作用】前記した半導体集積回路装置の製造方法によれば、酸化レートの差に対応して膜厚差を設定し、ナイトライド膜の酸化され難い特性を利用することにより、上部酸化時にナイトライド膜がほとんど酸化されがない。すなわち、EPROMまたはEEPROMの誘電体膜厚の増加はほとんどなく、一方アナログキャバシタの誘電体膜は、多結晶シリコンの熱酸化によって任意の膜厚に設定することができる。これにより、アナログキャバシタの酸化膜厚を、EPROMまたはEEPROMの誘電体膜の酸化膜厚より厚く設定することができる。

【0018】また、N型またはP型不純物をドープした多結晶シリコンの増速酸化を利用することができるので、アナログキャバシタの誘電体膜とゲート誘電体膜に膜厚差を設けることができる。

【0019】

【実施例1】図1は本発明の半導体集積回路装置の製造方法の一実施例である半導体集積回路装置の要部を示す断面図、図2～図6は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0020】まず、図1により本実施例の半導体集積回路装置の構成を説明する。

【0021】本実施例の半導体集積回路装置は、たとえばEPROMとアナログキャバシタとが同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上

に、EPROM2、アナログキャバシタ3およびゲート4が形成され、表面が保護膜5により覆われている。

【0022】EPROM2は、多結晶シリコン6による上部ゲート、ONO膜（酸化膜/ナイトライド膜/酸化膜）7による誘電体膜、多結晶シリコン8による下部ゲートおよび酸化膜9の積層構造から形成されている。

【0023】アナログキャバシタ3は、EPROM2と同様の多結晶シリコン6による上部ゲート、O膜（酸化膜）10による誘電体膜、およびEPROM2と同様の

10 多結晶シリコン8による下部ゲートの積層構造から形成され、上部ゲートおよび下部ゲートからそれぞれA1配線11が引き出されている。そして、アナログキャバシタ3の誘電体膜の酸化膜厚に換算した値は、EPROM2の誘電体膜厚を酸化膜厚に換算した値より大きく設定されている。

【0024】ゲート4は、EPROM2およびアナログキャバシタ3と同様の多結晶シリコン6によるゲートと、アナログキャバシタ3と同様のO膜10による誘電体膜から形成されている。

20 【0025】次に、本実施例の作用について、図2～図6に基づいてプロセスフローを説明する。

【0026】まず、P型基板1を熱酸化後、酸化による酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに下部ゲート電極のバーニングを行う（図2）。そして、下部ゲート電極で、EPROM2の浮遊ゲートおよびアナログキャバシタ3の下部電極を形成する。

【0027】さらに、熱酸化後、ナイトライドデポを行う（図3）。そして、フォトレジストおよびエッチング30 工程により、アナログキャバシタ3およびゲート4のNO膜を除去する（図4）。

【0028】次に、熱酸化によりナイトライド膜、多結晶シリコン8、P型基板1のシリコンを同時に酸化することにより、EPROM2のONO膜7、アナログキャバシタ3およびゲート4のO膜10を形成する（図5）。

【0029】この時、熱酸化工程において、酸化温度または時間が少ない場合は、ナイトライド膜はほとんど酸化されないので、EPROM2の誘電体膜はNO膜になる。

40 【0030】また、多結晶シリコン8上の熱酸化は増速酸化によってP型基板1の熱酸化膜より厚くなる。すなわち、増速酸化の割合は、酸化雰囲気、他結晶シリコンのN型またはP型不純物濃度により設定することができる。これによって各誘電体膜の膜厚差を任意に設定することができる。

【0031】さらに、上部ゲート電極を形成する（図6）。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図1に示す50 ような半導体集積回路装置が製造される。

【0032】以上のように、本実施例の半導体集積回路装置によれば、熱酸化工程における酸化温度および時間の設定により、EPROM2の誘電体膜とアナログキャバシタ3の誘電体膜との間に膜厚差、すなわちアナログキャバシタ3の酸化膜厚をEPROMの誘電体膜の酸化膜厚換算値より厚く設定することが可能となり、かつ酸化雰囲気、多結晶シリコンのN型またはP型不純物濃度による増速酸化の割合を任意に設定することにより、アナログキャバシタ3の誘電体膜をゲート4の誘電体膜に比べて厚くすることができる。

【0033】

【実施例2】図7は本発明の半導体集積回路装置の製造方法の他の実施例である半導体集積回路装置の要部を示す断面図、図8～図12は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0034】本実施例の半導体集積回路装置は、実施例1と同様にEPROMとアナログキャバシタ3が同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上に、EPROM2a、アナログキャバシタ3およびゲート4が形成され、実施例1との相違点はEPROM2aの積層構造が異なる点である。

【0035】本実施例のEPROM2aは、多結晶シリコン6による上部ゲートと、多結晶シリコン8による下部ゲートとの間の誘電体膜が、ONONO膜（酸化膜／ナイトライド膜／酸化膜／ナイトライド膜／酸化膜）12から形成されている。

【0036】すなわち、実施例1においては、ONO膜7の上部のO膜を厚く設定したい場合にスチーム酸化が用いられるが、この時にアナログキャバシタ3およびゲート4のO膜10が厚くなってしまうという問題点が生ずる。たとえば、スチーム酸化が950°Cで20分の条件では、ONO膜7の上部酸化膜の膜厚は約2nmであるが、P型基板1上のO膜10の膜厚は約200nmにもなるので、これを対策したのが本実施例である。

【0037】次に、本実施例の作用について、図8～図12に基づいてプロセスフローを説明する。

【0038】まず、実施例1と同様にP型基板1を熱酸化後、酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに下部ゲート電極のバーニングを行い、EPROM2aの浮遊ゲートおよびアナログキャバシタ3の下部電極を形成する（図8）。

【0039】さらに、熱酸化後、ナイトライドデポ、さらに熱酸化、ナイトライドデポを行い、EPROM2aのONONO膜12のNONO膜を形成する（図9）。そして、フォトレジストおよびエッティング工程により、アナログキャバシタ3およびゲート4のNONO膜を除去する（図10）。

【0040】次に、熱酸化によりナイトライド膜、多結晶シリコン8、P型基板1のシリコンを同時に酸化する

ことにより、EPROM2aのONONO膜12、アナログキャバシタ3およびゲート4のO膜10を形成する（図11）。この時、熱酸化工程において、実施例1と同様にナイトライド膜の酸化がほとんどない場合、EPROM2aの誘電体膜はNONO膜になる。また、多結晶シリコン8上、P型基板1上のO膜10は任意に膜厚設定が可能である。

【0041】さらに、上部ゲート電極を形成する（図12）。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図7に示すような半導体集積回路装置が製造される。

【0042】従って、本実施例の半導体集積回路装置によれば、実施例1と同様にアナログキャバシタ3の酸化膜厚をEPROM2aの誘電体膜の酸化膜厚換算値より厚く設定することができ、かつ実施例1に比べて、アナログキャバシタ3およびゲート4の酸化膜を厚くすることなく、EPROM2aのONONO膜12の酸化膜を厚く設定することができる。

【0043】

【実施例3】図13は本発明の半導体集積回路装置の製造方法のさらに他の実施例である半導体集積回路装置の要部を示す断面図、図14～図20は本実施例の半導体集積回路装置における製造手順を示す断面図である。

【0044】本実施例の半導体集積回路装置は、実施例1および2と同様にEPROMとアナログキャバシタ3が同一チップ上に搭載された半導体集積回路装置とされ、P型基板1上に、EPROM2a、アナログキャバシタ3aおよびゲート4が形成され、実施例1および2との相違点はアナログキャバシタ3aの積層構造が異なる点である。

【0045】すなわち、本実施例のアナログキャバシタ3aは、多結晶シリコン6による上部ゲートと、多結晶シリコン8による下部ゲートとの間の誘電体膜が、ONONO膜（酸化膜／ナイトライド膜／酸化膜／ナイトライド膜／酸化膜）13から形成されている。そして、アナログキャバシタ3aのナイトライド膜は、EPROM2aのナイトライド膜より厚く形成される。

【0046】次に、本実施例の作用について、図14～図20に基づいてプロセスフローを説明する。

【0047】まず、実施例1および2と同様にP型基板1を熱酸化、酸化膜9の形成、多結晶シリコン8のデポ、N型またはP型不純物をドープ後、さらに熱酸化、ナイトライドデポを行う（図14）。そして、下部ゲート電極のバーニングを行う（図15）。この時、EPROM2aの浮遊ゲートおよびアナログキャバシタ3aの下部電極上にNO膜が形成されている。

【0048】さらに、フォトレジストおよびエッティング工程により、EPROM2aのNO膜を除去する（図16）。そして、熱酸化、ナイトライドデポを行い、EPROM2aのONO膜7のNO膜、アナログキャバシタ3

aのONONO膜13のNONO膜を形成する(図17)。この時、熱酸化によりナイトライドがほとんど酸化されない場合、アナログキャバシタ3aはNO膜になる。

【0049】次に、フォトレジストおよびエッチング工程により、ゲート4のNO膜を除去する(図18)。そして、熱酸化により、ナイトライド膜、P型基板1のシリコンを同時に酸化し、EPROM2のONO膜7、アナログキャバシタ3aのONONO膜13またはONO膜、ゲート4のO膜10を形成する(図19)。この時、熱酸化によりナイトライドがほとんど酸化されない場合、EPROM2はNO膜、アナログキャバシタ3aはNONO膜またはNO膜になる。

【0050】さらに、上部ゲート電極を形成する(図20)。そして、酸化膜の形成、A1配線11の引き出し、さらに保護膜5を形成することによって図13に示すような半導体集積回路装置が製造される。

【0051】従って、本実施例の半導体集積回路装置によれば、実施例1および2と同様にアナログキャバシタ3aの酸化膜厚をEPROM2の誘電体膜の酸化膜厚換算値より厚く設定することができ、かつアナログキャバシタ3aのナイトライド膜を、EPROM2のナイトライド膜に比べて厚く形成することが可能となる。

【0052】以上、本発明者によってなされた発明を実施例1～3に基づき具体的に説明したが、本発明は前記各実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0053】たとえば、前記各実施例の半導体集積回路装置については、酸化膜を熱酸化により形成する場合について説明したが、本発明は前記実施例に限定されるものではなく、たとえばその一部にCVDによるCVD酸化膜を用いる場合についても広く適用可能である。

【0054】また、ナイトライド膜についても、たとえばCVD膜の他に、酸化膜の窒化膜またはシリコンの窒化膜を用いてもよい。さらに、他の高誘電率膜、たとえばタンタルオキサイド膜などを用いる場合などについても適用可能である。

【0055】以上の説明では、主として本発明者によってなされた発明をその利用分野であるEPROM用いられる半導体集積回路装置に適用した場合について説明したが、これに限定されるものではなく、たとえばEEPROMなどの他の半導体集積回路装置についても広く適用可能である。

【0056】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0057】すなわち、ナイトライド膜、多結晶シリコン、基板シリコンの酸化レートの差を利用し、この酸化レートに対応した膜厚差で形成することにより、EPR

OMまたはEEPROMの誘電体膜厚、アナログキャバシタの誘電体膜厚、ゲート誘電体膜厚を任意に設定することができるるので、それぞれの最適化が可能である。

【0058】これにより、たとえばEEPROMまたはEEPROMの誘電体膜を薄く設定することによってスケーリングが可能となり、またアナログキャバシタの誘電体膜を厚く設定することによって電圧係数の小さい容量の形成が可能となり、さらにゲート誘電体膜厚をそれらと独立に設定することによって任意のスケーリングが可能となる。

【0059】この結果、特にEEPROMまたはEPR OMとアナログキャバシタが同一チップ上に搭載される半導体集積回路装置において、各誘電体膜の任意のスケーリングが可能とされる半導体集積回路装置の製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の製造方法の実施例1である半導体集積回路装置の要部を示す断面図である。

20 【図2】実施例1の半導体集積回路装置における製造手順を示す断面図である。

【図3】実施例1において図2に続く製造手順を示す断面図である。

【図4】実施例1において図3に続く製造手順を示す断面図である。

【図5】実施例1において図4に続く製造手順を示す断面図である。

【図6】実施例1において図5に続く製造手順を示す断面図である。

30 【図7】本発明の半導体集積回路装置の製造方法の実施例2である半導体集積回路装置の要部を示す断面図である。

【図8】実施例2の半導体集積回路装置における製造手順を示す断面図である。

【図9】実施例2において図8に続く製造手順を示す断面図である。

【図10】実施例2において図9に続く製造手順を示す断面図である。

40 【図11】実施例2において図10に続く製造手順を示す断面図である。

【図12】実施例2において図11に続く製造手順を示す断面図である。

【図13】本発明の半導体集積回路装置の製造方法の実施例3である半導体集積回路装置の要部を示す断面図である。

【図14】実施例3の半導体集積回路装置における製造手順を示す断面図である。

【図15】実施例3において図14に続く製造手順を示す断面図である。

50 【図16】実施例3において図15に続く製造手順を示す断面図である。

す断面図である。

【図17】実施例3において図16に続く製造手順を示す断面図である。

【図18】実施例3において図17に続く製造手順を示す断面図である。

【図19】実施例3において図18に続く製造手順を示す断面図である。

【図20】実施例3において図19に続く製造手順を示す断面図である。

【符号の説明】

- 1 P型基板
- 2 EPROM
- 2 a EEPROM

* 3 アナログキャバシタ

3 a アナログキャバシタ

4 ゲート

5 保護膜

6 多結晶シリコン

7 ONO膜(誘電体膜)

8 多結晶シリコン

9 酸化膜

10 O膜(誘電体膜)

10 11 A1配線

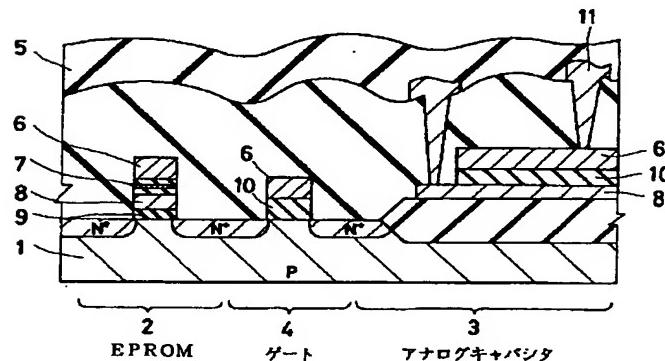
12 ONONO膜(誘電体膜)

13 ONONO膜(誘電体膜)

*

【図1】

図1



7 : ONO膜(誘電体膜)
10 : O膜(誘電体膜)

【図2】

図2



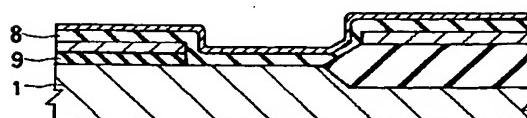
【図8】



図8

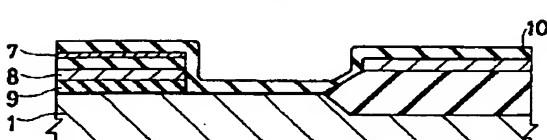
【図3】

図3



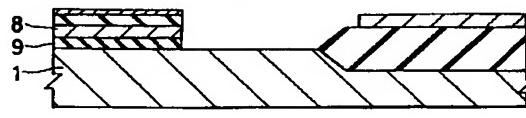
【図5】

図5



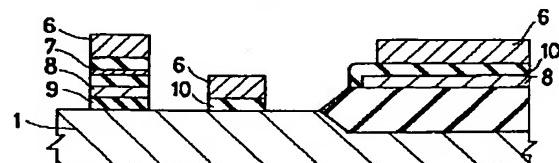
【図4】

図4



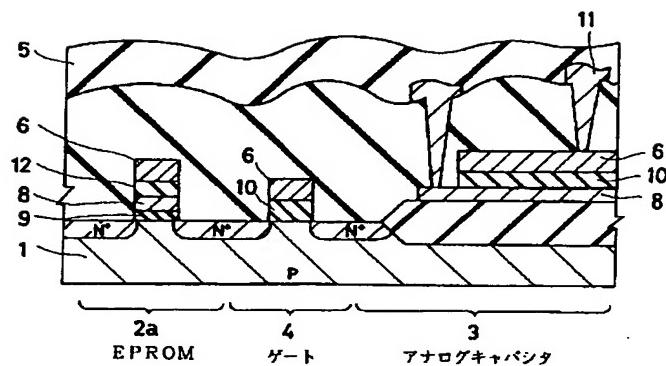
【図6】

図6



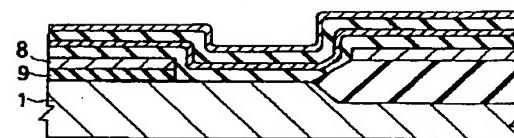
【図7】

図7



【図9】

図9



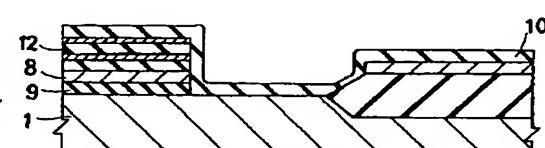
【図10】

図10



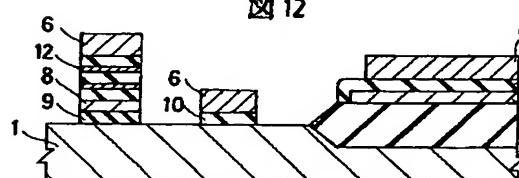
【図11】

図11



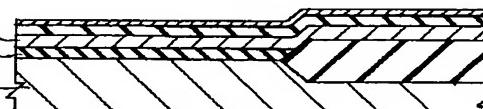
【図12】

図12



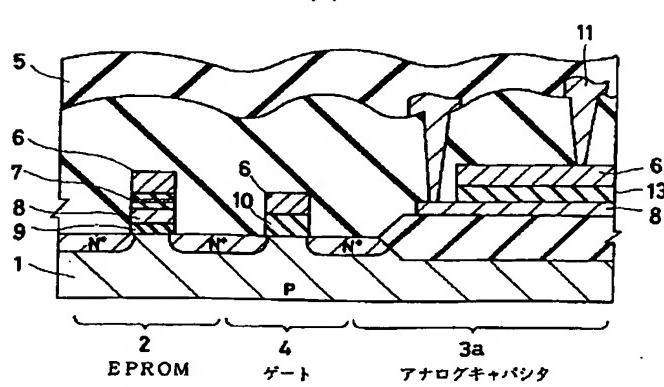
【図14】

図14



【図13】

図13



【図15】

図15



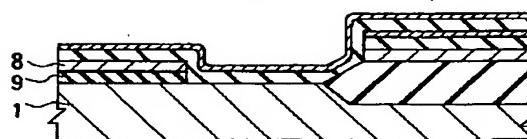
【図16】

図16



【図17】

図17



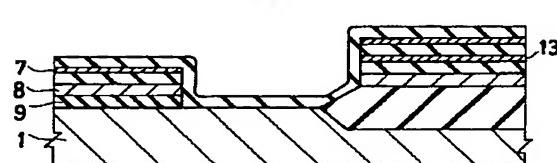
【図18】

図18



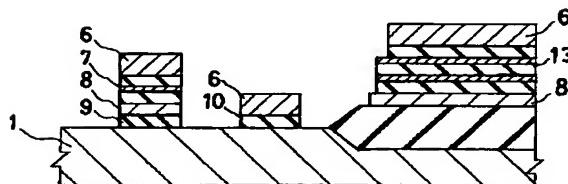
【図19】

図19



【図20】

図20



フロントページの続き

(51) Int.CI.⁵
H 01 L 27/088
27/115

識別記号 庁内整理番号

F I

技術表示箇所

8831-4M H 01 L 27/10 4 3 4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.